

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-045799

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 07-193016

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.07.1995

(72)Inventor : TSUNODA HIROAKI

TOMITA HIROSHI

OZAWA YOSHIO

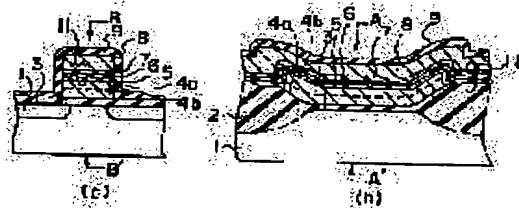
KOBAYASHI HIDEYUKI

## (54) SEMICONDUCTOR MEMORY DEVICE, AND ITS MANUFACTURE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress deterioration of an insulating film by making the diameter of a grain at the face in contact with the insulating film of a polycrystalline silicon film smaller than the maximum limit grain diameter which does not cause defects in the insulating film.

**SOLUTION:** An element isolating region 2 is made on a semiconductor substrate 1. Furthermore, a gate oxide film 3 is made on a silicon substrate 1. Next, in the first place, a polycrystalline silicon film 4a is stacked by, for example, 100nm by a decompression CVD method, and further a second polycrystalline silicon film 4b is stacked by 100nm for example. The first polycrystalline silicon film 4a and the second polycrystalline silicon film 4b are processed into desired patterns. An oxide film 5 is made on the second polycrystalline silicon film 4b, and subsequently a silicon nitride film 6 is stacked, and further a silicon oxide film 7 is made. After formation of the oxide film 9, source/drain regions are made by ion implantation, and the oxide film 9 is made thick, whereby a flash memory is completed. Hereby, fraction defective can be reduced by suppressing the deterioration of the insulating film.



## LEGAL STATUS

[Date of request for examination]

01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3419965

[Date of registration]

18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The particle size in the field which touches said insulator layer of said polycrystalline silicon film in the semiconductor memory possessing the capacitor structure which consists of polycrystalline silicon film, an insulator layer formed on this polycrystalline silicon film, and an electrode formed on this insulator layer is a semiconductor memory characterized by being smaller than the maximum cut size which does not make said insulator layer generate a defect.

[Claim 2] A semi-conductor substrate and the 1st gate dielectric film formed on this semi-conductor substrate, In the semiconductor memory possessing the control gate electrode formed on the floating-gate electrode formed on said 1st gate dielectric film, the 2nd gate dielectric film formed on this floating-gate electrode, and this 2nd gate dielectric film The particle size in the field where said floating-gate electrode is formed with the polycrystalline silicon film, and touches said insulator layer of said polycrystalline silicon film is a semiconductor memory characterized by being smaller than the maximum cut size which does not make said insulator layer generate a defect.

[Claim 3] The particle size in the field which touches said insulator layer of said polycrystalline silicon film is said semiconductor memory according to claim 1 or 2 characterized by being less than 100nm.

[Claim 4] The process which forms the 1st insulator layer on a semi-conductor substrate, and the process which forms a floating-gate electrode on said 1st insulator layer, In the manufacture approach of a semiconductor memory of providing the process which forms the 2nd insulator layer on said floating-gate electrode, and the process which forms a control electrode on said 2nd insulator layer It is the manufacture approach of the semiconductor memory characterized by forming said floating-gate electrode by depositing the polycrystalline silicon film twice or more, and forming the maximum upper layer of said polycrystalline silicon layer in thickness smaller than the maximum cut size which does not make said 2nd insulator layer generate a defect.

[Claim 5] The thickness of the maximum upper layer of said polycrystalline silicon film is the manufacture approach of said semiconductor memory according to claim 4 characterized by being less than 100nm.

---

[Translation done.]

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor memory which has the capacitor constituted through the insulator layer formed on the polycrystalline silicon film, and its manufacture approach.

[0002]

[Description of the Prior Art] In the semiconductor memory, many memory cells using the capacitor constituted with the polycrystalline silicon film, the insulator layer formed on the polycrystalline silicon film, and the electrode formed on this insulator layer like DRAM (Dynamic Random Access Memory) or EEPROM (Electrically Erasable Programmable Read Only Memory) are used. In such a cell, a data-hold property or the rewritable count of data determines [ the quality of this capacitor insulator layer ] a property with important memory.

[0003] For example, in the non-volatile semiconductor memory which accumulates a charge in the floating-gate electrode covered with the insulator layer, and holds data, especially a flash EEPROM (package elimination mold EEPROM) eliminates data using FN tunnel current which flows through the insulator layer formed between the floating-gate electrode and the control gate electrode by extracting a charge from a floating-gate electrode to a control gate electrode.

[0004] The structure of EEPROM which used the flash memory for drawing 20 is shown. drawing 20 — (— a —) — gate length — a direction — drawing 20 — (— b —) — gate width — a direction — a sectional view — being shown — respectively — (— a —) — (— b —) — it can set — A-A — ' — a cross section — (— b —) — (— a —) — it can set — B-B — ' — a cross section — being shown — \*\*\*\*. The floating-gate electrode 4 is formed through the 1st gate oxide 3 on a silicon substrate 1, and the control gate electrode 8 is formed through the second gate dielectric film 11 which consists of insulator layers of three more layers. The charge accumulated in the floating-gate electrode 4 lets the second gate dielectric film 11 pass, and is control gate electrode 8 HE omission \*\*\*\*\*.

[0005] The manufacture approach of the conventional flash EEPROM is shown in drawing 14 thru/or drawing 20. Like above-mentioned drawing 20, among drawing, (a) is the direction of gate length and (b) is the sectional view of the gate width direction. a silicon substrate 1 top — LOCOS — the component isolation region 2 which consists of field oxide by law is formed ( drawing 14 ).

[0006] Next, it heat-treats in an oxygen ambient atmosphere, after forming the 1st gate oxide 3 on the silicon substrate 1 exposed to the component field ( drawing 15 ), 200nm of 1st polycrystalline silicon film 4 is deposited with a reduced pressure CVD method, and it is POC13 further. It heat-treats in an ambient atmosphere and Lynn is added in the 1st polycrystalline silicon film 4 ( drawing 16 ). Next, the 1st polycrystalline silicon film 4 is processed into a desired pattern using the usual lithography method and a usual etching technique ( drawing 17 ).

[0007] Then, it heat-treats in the mixed ambient atmosphere with a temperature of 1000 degrees C of nitrogen (N2) and oxygen (O2), and the 17nm oxide film 5 is formed on the processed polycrystalline silicon film 4, the 15nm silicon nitride film 6 is continuously deposited with a reduced pressure CVD method, and silicon oxide 7 is formed on a silicon nitride film 6 with a 950 more-degree C combustion oxidation style. Thus, the 2nd gate dielectric film 11 of ONO (Oxide-Nitride-Oxide) structure is formed. Next, 350nm of 2nd polycrystalline silicon film 8 is deposited, and it is POC13. It heat-treats in an ambient atmosphere and Lynn is added in the polycrystalline silicon film 8 ( drawing 18 ).

[0008] Then, the 2nd polycrystalline silicon film 8, the 2nd gate dielectric film 11, and the 1st polycrystalline silicon film 4 are processed into a desired pattern using the usual lithography method and a usual etching technique ( drawing 19 ). Next, after oxidizing at the temperature of 1000 degrees C and forming the back oxide film 9, the source and a drain diffusion layer field are formed with ion-implantation, by heat-treating in an oxygen ambient atmosphere with a temperature of 950 degrees C, the back oxide film 9 is made still thicker, and a flash memory is completed ( drawing 20 ).

[0009]

[Problem(s) to be Solved by the Invention] Thus, in the conventional flash EEPROM, the charge accumulated in the floating-gate electrode is extracted using FN tunnel current which flows the 2nd gate dielectric film 11 of the above-mentioned ONO (Oxide-Nitride-Oxide) structure. For this reason, the defect resulting from the defect of the ONO film occurs by repeating the writing and elimination of data. For example, it is rewriting of the data which make the writing and elimination of data 1 cycle in the conventional EEPROM 106 A \*\*\*\*\* case, ten defects occur in 1000 pieces and there is a problem that the quality (he is one or less defect to 1000 pieces)

usually demanded cannot be guaranteed.

[0010] Analysis showed that the quality of this ONO film had the membraneous quality of the oxide film 5 of the 1st layer formed by oxidizing the polycrystalline silicon film 4, and a very strong correlation.

[0011] The purpose of this invention is controlling degradation of this insulator layer and offering a non-volatile semiconductor memory with few percent defectives by raising the quality of the insulator layer formed on the polycrystalline silicon film.

[0012]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem and to attain the purpose, the semiconductor memory by this invention possesses the capacitor structure which consists of polycrystalline silicon film, an insulator layer formed on this polycrystalline silicon film, and an electrode formed on this insulator layer, and particle size in the field which touches said insulator layer of said polycrystalline silicon film is characterized by being smaller than the maximum cut size which does not make said insulator layer generate a defect.

[0013] Moreover, the 1st gate dielectric film with which the semiconductor memory by this invention was formed on a semi-conductor substrate and this semi-conductor substrate, The floating-gate electrode formed on said 1st gate dielectric film, and the 2nd gate dielectric film formed on this floating-gate electrode, The control gate electrode formed on this 2nd gate dielectric film is provided. Particle size in the field where said floating-gate electrode is formed with the polycrystalline silicon film, and touches said insulator layer of said polycrystalline silicon film is characterized by being smaller than the maximum cut size which does not make said insulator layer generate a defect.

[0014] Furthermore, the manufacture approach of the semiconductor memory of this invention The process which forms the 1st insulator layer on a semi-conductor substrate, and the process which forms a floating-gate electrode on said 1st insulator layer, The process which forms the 2nd insulator layer on said floating-gate electrode, and the process which forms a control electrode on said 2nd insulator layer are provided. Said floating-gate electrode is formed by depositing the polycrystalline silicon film twice or more, and thickness of the maximum upper layer of said polycrystalline silicon layer is characterized by being smaller than the maximum cut size which does not make said 2nd insulator layer generate a defect.

[0015] Since the particle size of the polycrystalline silicon film in the field which touches the insulator layer formed on the polycrystalline silicon film in the semiconductor memory by this invention is smaller than the maximum cut size which does not make this insulator layer generate a defect as a result of providing the above-mentioned means, the quality of an insulator layer can improve and the semiconductor memory which has capacitor structure with few percent defectives can be offered.

[0016] Such a solution means is based on the experimental result that the poor proof pressure of a capacitor insulator layer depends to the particle size of the polycrystalline silicon film in the field which touches this insulator layer very strongly.

[0017] The experimental data of proof-pressure measurement of a capacitor insulator layer is shown in drawing 21. This data heat-treats the 1st polycrystalline silicon film which added Lynn in the mixed ambient atmosphere with a temperature of 1000 degrees C of the nitrogen (N<sub>2</sub>) of hydrochloric-acid (HCl) content, and oxygen (O<sub>2</sub>), and forms the oxide film of 10nm of thickness. It is the result of forming the 2nd polycrystalline silicon film on this oxide film furthermore, impressing an electrical potential difference between this 1st and 2nd polycrystalline silicon film, and performing proof-pressure measurement of a capacitor insulator layer. An occurrence percent defective is shown on an axis of abscissa at the particle size in the oxide-film interface of the 1st polycrystalline silicon film, and an axis of ordinate. The sample destroyed by 5 or less MV/cm in proof-pressure measurement carries out to an occurrence percent defective comparatively, and it is defined as it. When the particle size in the insulator layer interface of the polycrystalline silicon film becomes larger than 100nm from this drawing 21, it turns out that an occurrence percent defective increases rapidly. That is, according to this experiment, the maximum cut size which does not make an insulator layer generate a defect is 100nm, and can reduce the percent defective of an insulator layer by making smaller than 100nm particle size of the polycrystalline silicon film in the field which touches an insulator layer.

[0018] In addition, the particle size of the 1st polycrystalline silicon film is controlled by this experiment by depositing the 1st polycrystalline silicon film in 2 steps using a reduced pressure CVD method. That is, after depositing 100nm of polycrystalline silicon film, for example, a thin oxide film is formed in this polycrystalline silicon film front face by once picking out a substrate from equipment. Then, it will be in the condition that the ultra-thin natural oxidation film was formed between two-layer polycrystalline silicon film, by depositing 100nm of polycrystalline silicon film on this natural oxidation film using a reduced pressure CVD method, for example again.

Then, although the crystal grain of the polycrystalline silicon film grows by heat treatment of the Lynn diffusion etc., in order that grain growth may stop with said natural oxidation film, particle size does not become larger than deposition thickness. Thus, the particle size of the polycrystalline silicon film in an insulator layer interface is changed by changing the thickness of the maximum upper layer of the polycrystalline silicon film from 50nm to 200nm. a final particle size — TEM (Transmission Electron Microscope) etc. — the cross-section configuration was observed and it was checked.

[0019] Moreover, proof-pressure measurement with the same said of an ONO insulator layer was performed, and the 100nm maximum cut size was obtained. It turns out that the particle size of the polycrystalline silicon film in an oxide-film interface determines the quality of this oxide film, and the quality of this oxide film of the 1st layer determines the quality of the ONO film further from such two experimental results. Moreover, it turns out that the quality of the ONO film can improve by setting particle size of the polycrystalline silicon film in an oxide-film interface to 100nm or less.

[0020] As mentioned above, by making particle size of the polycrystalline silicon film in the field which touches an insulator layer smaller than the maximum cut size which does not make this insulator layer generate a defect using the above-mentioned experimental result, the semiconductor memory by this invention improves the quality of an insulator layer, and offers the semiconductor memory which has capacitor structure with few percent defectives.

[0021] Moreover, since the particle size of the polycrystalline silicon film which constitutes a floating-gate electrode from a semiconductor memory by this invention is smaller than the maximum cut size which does not make the 2nd insulator layer generate a defect, it is possible by improving the quality of this 2nd insulator layer to control degradation and to offer a semiconductor memory with few percent defectives.

[0022] Furthermore, by the manufacture approach of the semiconductor memory by this invention, the polycrystalline silicon film is deposited twice or more, and a floating-gate electrode is formed. Since the natural oxidation film is formed between two-layer polycrystalline silicon film, the particle size of the polycrystalline silicon film cannot grow more greatly than the thickness of the polycrystalline silicon film. For this reason, the quality of the 2nd insulator layer can be improved by making thickness of the maximum upper layer of this polycrystalline silicon film smaller than the maximum cut size which does not make the 2nd insulator layer generate a defect. Thus, degradation of the 2nd insulator layer can be controlled and the manufacture approach of a semiconductor memory with few percent defectives can be offered.

[0023]

[Embodiment of the Invention] Hereafter, it is explained with reference to a drawing about the gestalt of operation of this invention, using the memory cell of a flash EEPROM as an example. Drawing 1 thru/or drawing 9 are drawings explaining the gestalt of the 2nd operation by this invention according [ the gestalt, drawing 10 , or drawing 13 of the 1st operation ] to this invention. each — drawing — inside — (— a —) — and — (— b —) — respectively — a floating gate — an electrode — gate length — a direction — and — gate width — a direction — it can set — a memory cell — a sectional view — it is — respectively — (— a —) — (— b —) — it can set — A-A — ' — a cross section — (— b —) — (— a —) — it can set — B-B — ' — a cross section — being shown — \*\*\*\* .

[0024] Hereafter, the gestalt of the 1st operation is explained. the semi-conductor substrate 1 top — LOCOS — the component isolation region 2 is formed by law ( drawing 1 ). Next, it heat-treats, for example in the mixed ambient atmosphere with a temperature of 800 degrees C of oxygen (O2) and a hydrogen chloride (HCl), and the 1st 10nm gate oxide 3 is formed on the silicon substrate 1 exposed to the component field ( drawing 2 ).

[0025] Then, unlike the former, 1st 100nm polycrystalline silicon film 4a is first deposited with a reduced pressure CVD method, for example ( drawing 3 ), and 2nd 100nm polycrystalline silicon film 4b is deposited further, for example ( drawing 4 ). Thus, with the gestalt of this operation, the polycrystalline silicon film is deposited in 2 steps.

[0026] Next, POC13 with a temperature of 850 degrees C Heat treatment for 25 minutes is performed in an ambient atmosphere, and Lynn is added in 1st polycrystalline silicon film 4a and 2nd polycrystalline silicon film 4b. 1st polycrystalline silicon film 4a and 2nd polycrystalline silicon film 4b are processed into a desired pattern using the usual lithography method and a usual etching technique ( drawing 5 ).

[0027] Then, it heat-treats, for example in the mixed ambient atmosphere with a temperature of 1000 degrees C of nitrogen (N2) and oxygen (O2), and the 17nm oxide film 5 is formed on 2nd processed polycrystalline silicon film 4b, the 15nm silicon nitride film 6 is continuously deposited with a reduced pressure CVD method, a silicon nitride film 6 is oxidized with a 950-degree C combustion oxidation style further, for example, and silicon oxide 7 is formed. Thus, the 2nd gate dielectric film 11 of ONO (Oxide-Nitride-Oxide) structure is formed ( drawing 6 ).

[0028] Next, the 3rd polycrystalline silicon film 8 is formed, for example, it is 900-degree C  $\text{POCl}_3$ . It heat-treats in an ambient atmosphere and Lynn is added in the 3rd polycrystalline silicon film 8 ( drawing 7 ). The 3rd polycrystalline silicon film 8, the 2nd gate dielectric film 11, 2nd polycrystalline silicon film 4b, and 1st polycrystalline silicon film 4a are processed using the usual lithography method and a usual etching technique ( drawing 8 ).

[0029] After heat-treating in the mixed ambient atmosphere with a temperature of 1000 degrees C of nitrogen ( $\text{N}_2$ ) and oxygen ( $\text{O}_2$ ) and forming the back oxide film 9, Lynn (P) and an arsenic (As) are poured in into the semi-conductor substrate 1 with ion-implantation, the source and a drain field are formed, by heat-treating in an oxygen ambient atmosphere with a temperature of 950 degrees C further, the back oxide film 9 is thickened and a flash memory is completed ( drawing 9 ).

[0030] With the gestalt of the above-mentioned implementation, although 1st polycrystalline silicon film 4a and 2nd polycrystalline silicon film 4b were deposited in every 100nm 2 steps, respectively, if the thickness of the polycrystalline silicon film deposited at the end is 100nm or less and the polycrystalline silicon thickness of the sum total which constitutes a floating gate further is desired thickness (the gestalt of the above-mentioned implementation 200nm), the count to deposit and thickness will not be restricted to the gestalt of this operation.

[0031] Moreover, although the thin natural oxidation film can be formed on 1st polycrystalline silicon film 4a by picking out a substrate 1 from deposition equipment between deposition of 1st polycrystalline silicon film 4a in the gestalt of the above-mentioned implementation, and 2nd polycrystalline silicon film 4b After depositing 1st polycrystalline silicon film 4a, it is in the condition which contained the substrate 1 in deposition equipment, and it is also possible by sending in an oxygen ambient atmosphere in equipment to form a thin oxide film and to deposit 2nd polycrystalline silicon film 4b again. If it does in this way, since insertion into the deposition equipment of a substrate 1 and an activity, such as discharge, can be excluded, productive efficiency will improve.

[0032] Moreover, although 1st polycrystalline silicon film 4a and 2nd polycrystalline silicon film 4b were deposited without adding an impurity and Lynn is added on the 1st and 2nd polycrystalline silicon film by the subsequent Lynn diffusion with the gestalt of the above-mentioned implementation, the addition approach of the impurity to the polycrystalline silicon film may use other approaches.

[0033] For example, they are after 100nm deposition and 850-degree C  $\text{POCl}_3$  about the 1st polycrystalline silicon film. Heat treatment for 10 minutes is performed in an ambient atmosphere, 100nm of 2nd polycrystalline silicon film is deposited after this, and it is 850-degree C  $\text{POCl}_3$  again. It is also possible to perform heat treatment for 10 minutes in an ambient atmosphere.

[0034] Furthermore, it is also possible to add Lynn for \*\*\*\* on the 1st and 2nd polycrystalline silicon film using the ion-implantation approach in the Lynn diffusion. For example, after depositing 1st polycrystalline silicon film 4a, it is also possible to perform the ion implantation of Lynn and to perform an ion implantation for 2nd polycrystalline silicon film 4b again after deposition further.

[0035] Moreover, when depositing the polycrystalline silicon film using a reduced pressure CVD method, Lynn may be added to coincidence. The approach of adding an impurity to the above polycrystalline silicon can also combine the approach of being different, respectively about 1st polycrystalline silicon film 4a and 2nd polycrystalline silicon film 4b.

[0036] Moreover, in the gestalt of the above-mentioned implementation, although Lynn was explained to the example as an impurity added to the polycrystalline silicon film, as long as it is the impurity which gives conductivity to polycrystalline silicon film, such as an arsenic (As) and boron (B), for example, what kind of matter may be used.

[0037] Thus, according to the gestalt of implementation of the above 1st, after depositing 1st polycrystalline silicon film 4a for the polycrystalline silicon film which constitutes a floating gate, it forms by depositing 2nd polycrystalline silicon film 4b. At this time, between the 1st and 2nd polycrystalline silicon film, the ultra-thin natural oxidation film 2nm or less can be formed, and it can accumulate, and can control that the particle size of polycrystalline silicon grows in subsequent heat treatment. That is, particle size of this 2nd polycrystalline silicon film 4b can be set to 100nm or less by setting thickness of this 2nd polycrystalline silicon film 4b to 100nm or less. Thus, the membraneous quality of the oxide film 5 oxidized and formed in 2nd polycrystalline silicon film 4b can be improved, and it becomes possible to improve the membraneous quality of the ONO tunnel oxide film 11 constituted with this oxide film 5 and a nitride 6, and an oxide film 7.

[0038] Next, the gestalt of the 2nd operation is explained using drawing 13 from drawing 10 . As usual, after forming the 1st gate oxide 3 in the component field on a semi-conductor substrate, the 1st 200nm

polycrystalline silicon film 4 is deposited with a reduced pressure CVD method ( drawing 10 ).

[0039] Here, unlike the former, an ion implantation is performed for an arsenic on the 1st polycrystalline silicon film 4 with the dose of  $3 \times 10^{15} \text{cm}^{-2}$  ( drawing 11 ), and the ion implantation of Lynn is further performed with the dose of  $3 \times 10^{15} \text{cm}^{-2}$  ( drawing 12 ). At this time, the peak of the concentration of an arsenic serves as a depth of about 50nm from the front face of the 1st polycrystalline silicon film 4, the peak of the concentration of Lynn is deeper than an arsenic, and the acceleration voltage of an ion implantation is suitably set up so that it may have a distribution core in a 1st gate-dielectric-film side.

[0040] Next, using the usual lithography method and a usual etching technique, the 1st polycrystalline silicon film 4 is processed, the ONO insulator layer 11, the polycrystalline silicon film 8 which constitutes a control gate electrode, the source and a drain diffusion layer, and back oxide-film 9 grade are formed like the gestalt of the 1st operation henceforth, and a flash memory is completed ( drawing 13 ).

[0041] With the gestalt of implementation of the above 2nd, the impurity to the 1st polycrystalline silicon film 4 used as a floating-gate electrode is added not by the Lynn diffusion but by the ion implantation of Lynn and an arsenic. Although these impurities are diffused and it is activated like a next heat process, the crystal grain of the polycrystalline silicon film 4 grows up to be coincidence. At this time, since the diffusion coefficient of an arsenic is smaller than the diffusion coefficient of Lynn, grain growth of the polycrystalline silicon film 4 in the field where the concentration of an arsenic is high is slower than the field where the Lynn concentration is high. According to the experiment, it was observed that the particle size of the polycrystalline silicon film 4 in the field where the concentration of an arsenic is high is small about 30 percent compared with the field where the Lynn concentration is high. Thus, particle size near the front face of the polycrystalline silicon film 4 can be made small by performing an ion implantation so that the peak of the concentration may be located near the front face of the polycrystalline silicon film 4 in an arsenic.

[0042] By making the depth of this peak shallower than the maximum cut size (it sets in the gestalt of this operation and is 100nm) which does not make an oxide film 5 generate a defect at the maximum, still more preferably Particle size of the polycrystalline silicon film 4 in oxide-film 5 interface can be made into the maximum cut size which does not make an oxide film 5 generate a defect, i.e., 100nm, and the following by carrying out to half [ half / less than / of this maximum cut size ], i.e., 50nm. It is necessary to set up the acceleration voltage of an ion implantation suitably so that it may have such concentration distribution.

[0043] Moreover, in order to fully maintain the donor concentration of the polycrystalline silicon film 4 and to prevent the depletion-ization, the ion implantation of Lynn is performed further. From polycrystalline silicon film 4 front face, the peak location of this concentration sets up acceleration voltage suitably so that 100nm and a twist may also become deep in the gestalt of the maximum cut size, i.e., this operation. As long as it is only for fully maintaining donor concentration, this ion implantation may use an arsenic. However, like Lynn of the gestalt of the above-mentioned implementation, by carrying out the ion implantation of an arsenic and the element of a different kind more deeply than an arsenic, a grain boundary is made to exist between the crystal grain containing an arsenic, and crystal grain including Lynn in the grain growth at the time of next heat treatment, and grain growth can be controlled.

[0044] Thus, it has the same conductivity and particle size of the polycrystalline silicon film 4 in oxide-film 5 interface can be made small by being shallow in an element with a small diffusion coefficient, and carrying out the ion implantation of the element with a large diffusion coefficient deeply using the impurity with which diffusion coefficients differ. .

[0045] In addition, with the gestalt of implementation of the above 2nd, after performing the ion implantation of an arsenic, the ion implantation of Lynn is carried out, but even if this sequence is reverse, it is not cared about. Furthermore, although two ion implantations were performed with the gestalt of the above-mentioned implementation, when the thickness of the polycrystalline silicon film 4 is thick, it is also possible to perform three ion implantations or more according to the thickness. in this case, the maximum cut size in which the peak location of the concentration of the smallest impurity of a diffusion coefficient does not make an oxide film 5 generate a defect using two or more kinds of impurities with which diffusion coefficients differ -- as long as that one half and a twist are also preferably shallow, the ion implantation of the thing of the same kind may be carried out twice or more. Or it is also possible to carry out the ion implantation of three or more kinds of impurities.

[0046] In the gestalt of two above-mentioned implementation, if the concentration of the impurity contained in the polycrystalline silicon film 4 exceeds  $1 \times 10^{21} \text{cm}^{-3}$ , since the problem of a superfluous impurity being spread in the 1st gate dielectric film 3 or the 2nd gate dielectric film (especially oxide film 5), and degrading the dependability of these insulator layers will occur, it is necessary to make concentration of an impurity into less than [ this ]. When the concentration of the impurity contained in the polycrystalline silicon film 4 is less than



[ 1x10<sup>20</sup>cm<sup>-3</sup> ] three and an electrical potential difference is impressed to a control gate electrode as mentioned above, a floating-gate electrode will depletion-size and it will become impossible moreover, to fully control the carrier concentration of a substrate by this applied voltage. For this reason, as for the concentration of an impurity, carrying out more than this is desirable.

[0047] Moreover, although the gestalt of two above-mentioned implementation described the non-volatile semiconductor memory, this invention is applicable to all the semiconductor memories that have the capacitor structure which consists of not only the gestalt of the above-mentioned implementation but polycrystalline silicon film, an insulator layer formed on it, and an electrode further formed on it.

[0048] Furthermore, in the gestalt of two above-mentioned implementation, although the ONO film was stated to the example, the 2nd gate dielectric film 11 can apply the relation between the particle size in the insulator layer interface of the polycrystalline silicon film, and the quality of an insulator layer also about the capacitor structure of having the insulator layer of one layer of oxide films, since it is observed also in the oxide film of one layer, as mentioned above. Moreover, it is applicable also about the insulator layer which has the laminated structure of not only the ONO film but various insulator layers which used the oxide film for the 1st layer.

[0049]

[Effect of the Invention] As mentioned above, in the semiconductor memory by this invention, by improving the quality of the insulator layer formed on the polycrystalline silicon film using the polycrystalline silicon film with a small particle size, degradation of this insulator layer can be controlled and a percent defective can be reduced.

[0050] Furthermore, according to the manufacture approach of the semiconductor memory by this invention, it is possible by making small particle size of the polycrystalline silicon film in an interface with an insulator layer to improve the quality of the insulator layer formed on the polycrystalline silicon film, to control degradation of this insulator layer, and to manufacture a semiconductor memory with a low percent defective.

---

[Translation done.]

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 2] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 3] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 4] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 5] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 6] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 7] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 8] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 9] The explanatory view of the gestalt of the 1st operation by the non-volatile semiconductor memory of this invention.

[Drawing 10] The explanatory view of the gestalt of the 2nd operation by the non-volatile semiconductor memory of this invention.

[Drawing 11] The explanatory view of the gestalt of the 2nd operation by the non-volatile semiconductor memory of this invention.

[Drawing 12] The explanatory view of the gestalt of the 2nd operation by the non-volatile semiconductor memory of this invention.

[Drawing 13] The explanatory view of the gestalt of the 2nd operation by the non-volatile semiconductor memory of this invention.

[Drawing 14] Drawing showing the production process of the conventional non-volatile semiconductor memory.

[Drawing 15] Drawing showing the production process of the conventional non-volatile semiconductor memory.

[Drawing 16] Drawing showing the production process of the conventional non-volatile semiconductor memory.

[Drawing 17] Drawing showing the production process of the conventional non-volatile semiconductor memory.

[Drawing 18] Drawing showing the production process of the conventional non-volatile semiconductor memory.

[Drawing 19] Drawing showing the production process of the conventional non-volatile semiconductor memory.

[Drawing 20] Drawing showing the production process of the conventional non-volatile semiconductor memory.

[Drawing 21] Drawing showing the experimental data in which the technical source of this invention is shown.

### [Description of Notations]

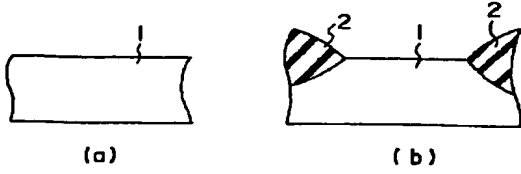
1 — A semi-conductor substrate, 2 [ — 5 The polycrystalline silicon film, 7 / — An oxide film, 6 / — A nitride, 8 / — The polycrystalline silicon film, 9 / — An after oxide film, 11 / — The 2nd gate dielectric film ] — Field oxide, 3 — The 1st gate oxide, 4, 4a, 4b

---

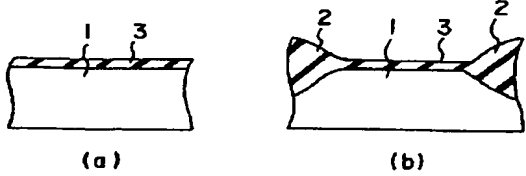
[Translation done.]

# DRAWINGS

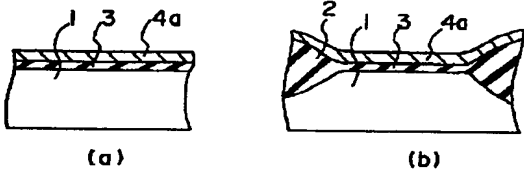
[Drawing 1]



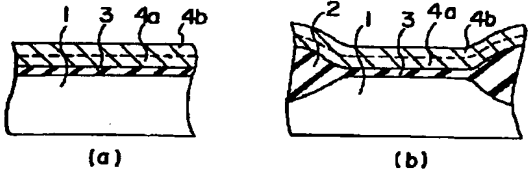
[Drawing 2]



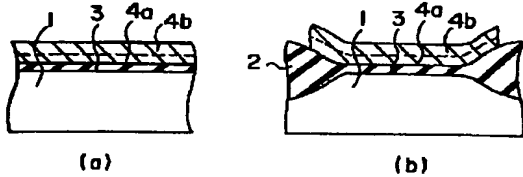
[Drawing 3]



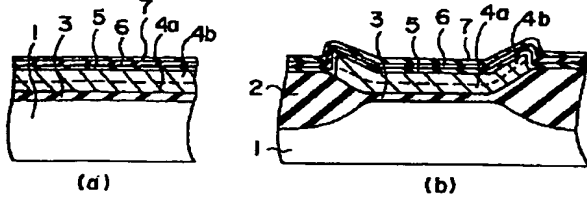
[Drawing 4]



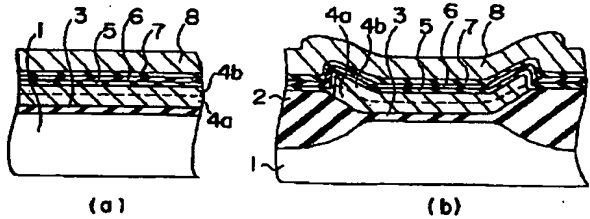
[Drawing 5]



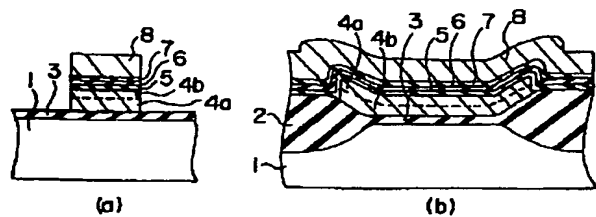
[Drawing 6]



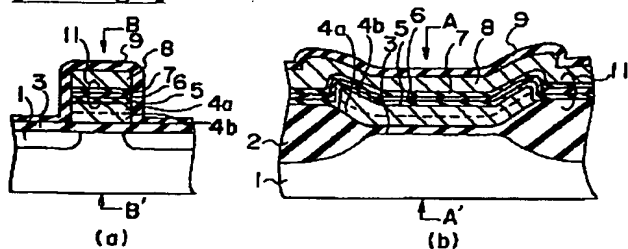
[Drawing 7]



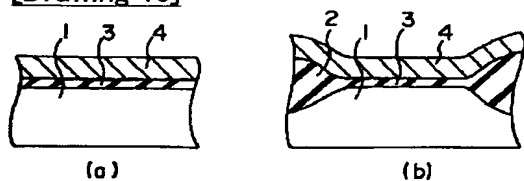
[Drawing 8]



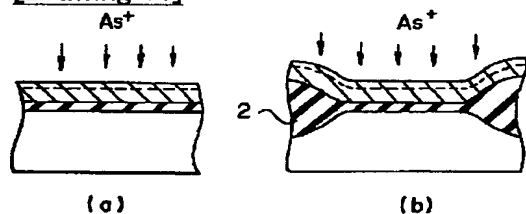
[Drawing 9]



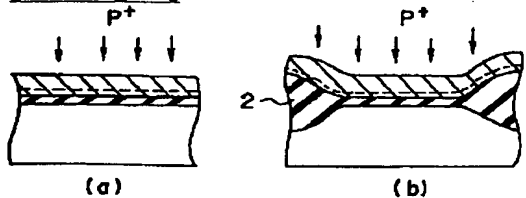
[Drawing 10]



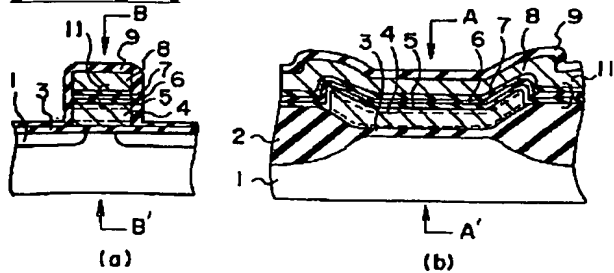
[Drawing 11]



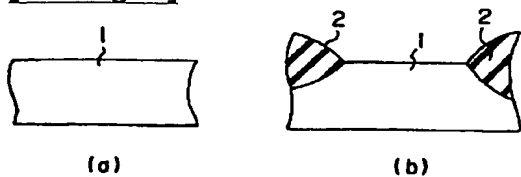
[Drawing 12]



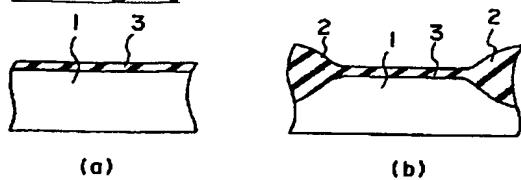
[Drawing 13]



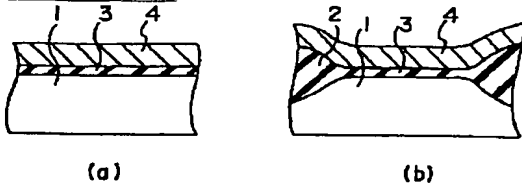
[Drawing 14]



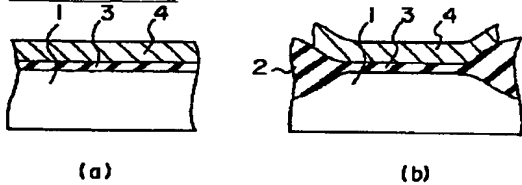
[Drawing 15]



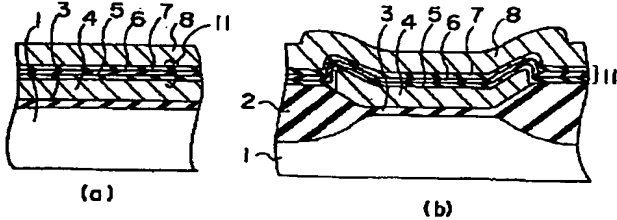
[Drawing 16]



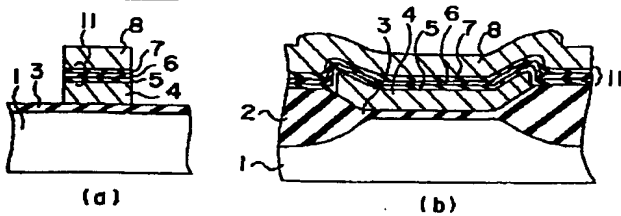
[Drawing 17]



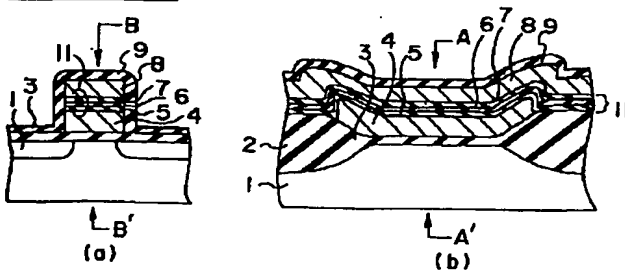
[Drawing 18]



[Drawing 19]

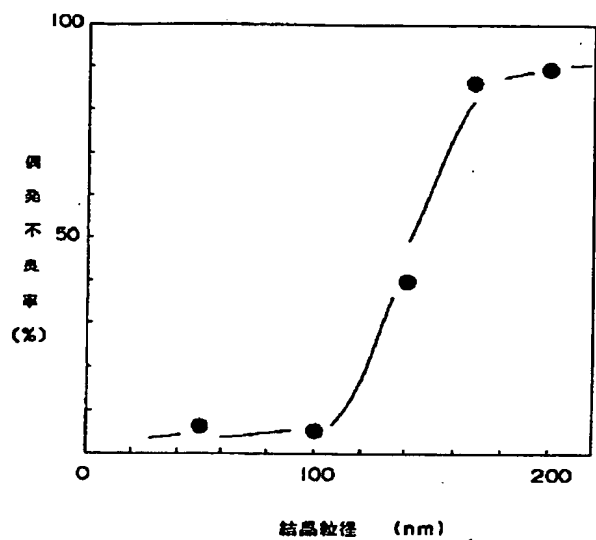


[Drawing 20]



[Drawing 21]





---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45799

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平7-193016

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 角田 弘昭

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 富田 寛

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 小澤 良夫

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

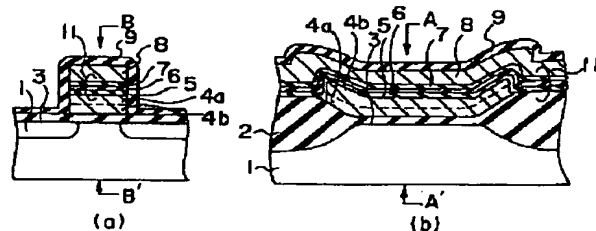
最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 多結晶シリコン膜上に形成される絶縁膜の品質を向上することにより、この絶縁膜の劣化を抑制し、不良率を減少する。

【解決手段】 多結晶シリコン膜4a、4bと、この多結晶シリコン膜4a4b上に形成されたONO絶縁膜11と、この絶縁膜11上に形成された電極8とから構成されるキャパシタ構造を具備する半導体記憶装置において、多結晶シリコン膜4a、4bの絶縁膜11に接する面における粒径は絶縁膜11に欠陥を発生させない最大限界粒径よりも小さい。



## 【特許請求の範囲】

【請求項1】 多結晶シリコン膜と、この多結晶シリコン膜上に形成された絶縁膜と、この絶縁膜上に形成された電極とから構成されるキャパシタ構造を具備する半導体記憶装置において、前記多結晶シリコン膜の前記絶縁膜に接する面における粒径は前記絶縁膜に欠陥を発生させない最大限界粒径よりも小さいことを特徴とする半導体記憶装置。

【請求項2】 半導体基板と、この半導体基板上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された浮遊ゲート電極と、この浮遊ゲート電極上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲート電極とを具備する半導体記憶装置において、前記浮遊ゲート電極が多結晶シリコン膜により形成され、前記多結晶シリコン膜の前記絶縁膜に接する面における粒径は前記絶縁膜に欠陥を発生させない最大限界粒径よりも小さいことを特徴とする半導体記憶装置。

【請求項3】 前記多結晶シリコン膜の前記絶縁膜に接する面における粒径は100nm未満であることを特徴とする前記請求項1または2記載の半導体記憶装置。

【請求項4】 半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に浮遊ゲート電極を形成する工程と、前記浮遊ゲート電極上に第2の絶縁膜を形成する工程とを具備する半導体記憶装置の製造方法において、前記浮遊ゲート電極は多結晶シリコン膜を2回以上堆積することにより形成され、前記多結晶シリコン層の最上層は前記第2の絶縁膜に欠陥を発生させない最大限界粒径よりも小さい膜厚に形成することを特徴とする半導体記憶装置の製造方法。

【請求項5】 前記多結晶シリコン膜の最上層の膜厚は100nm未満であることを特徴とする前記請求項4記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、多結晶シリコン膜上に形成された絶縁膜を介して構成されるキャパシタを有する半導体記憶装置およびその製造方法に関する。

## 【0002】

【従来の技術】 半導体記憶装置において、DRAM (Dynamic Random Access Memory) やEEPROM (Electrically Erasable Programmable Read Only Memory) のように、多結晶シリコン膜と、多結晶シリコン膜上に形成された絶縁膜とこの絶縁膜上に形成された電極とにより構成されるキャパシタを利用したメモリーセルが多く使用されている。このようなセルにおいては、このキャパシタ絶縁膜の品質が、データ保持特性またはデータの書き替え可能回数等、メモリーの重要な特性を決定する。

【0003】 例えば、絶縁膜に覆われた浮遊ゲート電極に電荷を蓄積してデータを保持する不揮発性半導体記憶装置において、とくにフラッシュEEPROM (一括消去型EEPROM) は、浮遊ゲート電極と制御ゲート電極の間に形成された絶縁膜を介して流れるFNTトンネル電流を利用して、浮遊ゲート電極から制御ゲート電極へ電荷を抜き去ることにより、データを消去する。

【0004】 図20にフラッシュメモリーを用いたEEPROMの構造を示す。図20の(a)はゲート長方向、図20の(b)はゲート幅方向の断面図を示し、それぞれ、(a)は(b)におけるA-A'断面、(b)は(a)におけるB-B'断面を示している。シリコン基板1上に第1のゲート酸化膜3を介して浮遊ゲート電極4が形成され、さらに3層の絶縁膜より構成される第2のゲート絶縁膜11を介して制御ゲート電極8が形成される。浮遊ゲート電極4に蓄積された電荷は、第2のゲート絶縁膜11を通して制御ゲート電極8へ抜き去られる。

【0005】 図14乃至図20に従来のフラッシュEEPROMの製造方法を示す。上記図20と同様に、図中(a)はゲート長方向、(b)はゲート幅方向の断面図である。シリコン基板1上にLOCOS法によりフィールド酸化膜よりなる素子分離領域2を形成する(図14)。

【0006】 次に、酸素雰囲気中で熱処理を行い、素子領域に露出されたシリコン基板1上に第1のゲート酸化膜3を形成した後(図15)、減圧CVD法により第1の多結晶シリコン膜4を200nm堆積し、さらにPOCl<sub>3</sub> 雰囲気中で熱処理を行い、リンを第1の多結晶シリコン膜4中に添加する(図16)。次に、通常のリソグラフィ法とエッチング技術を用いて第1の多結晶シリコン膜4を所望のパターンに加工する(図17)。

【0007】 この後、温度1000℃の窒素(N<sub>2</sub>)と酸素(O<sub>2</sub>)の混合雰囲気中で熱処理を行い、加工された多結晶シリコン膜4上に例えば17nmの酸化膜5を形成し、続けて減圧CVD法で15nmの窒化シリコン膜6を堆積し、さらに950℃の燃焼酸化法により窒化シリコン膜6上にシリコン酸化膜7を形成する。このようにして、ONO (Oxide-Nitride-Oxide) 構造の第2のゲート絶縁膜11を形成する。次に第2の多結晶シリコン膜8を350nm堆積し、POCl<sub>3</sub> 雰囲気中で熱処理を行い、リンを多結晶シリコン膜8中に添加する(図18)。

【0008】 その後、通常のリソグラフィ法とエッチング技術を用いて第2の多結晶シリコン膜8と第2のゲート絶縁膜11と第1の多結晶シリコン膜4を所望のパターンに加工する(図19)。次に温度1000℃で酸化を行い、後酸化膜9を形成した後、イオン注入法によりソース及びドレイン拡散層領域を形成し、温度950℃の酸素雰囲気中で熱処理を行うことにより後酸化膜9



をさらに厚くして、フラッシュメモリーが完成する(図20)。

#### 【0009】

【発明が解決しようとする課題】このように、従来のフラッシュEEPROMでは、前述のONO (Oxide-Nitride-Oxide)構造の第2のゲート絶縁膜11を流れるFNTトンネル電流を利用して、浮遊ゲート電極に蓄積された電荷を抜き去る。このため、データの書き込みおよび消去を繰り返すことにより、ONO膜の欠陥に起因する不良が発生する。例えば、従来のEEPROMではデータの書き込みおよび消去を1サイクルとするデータの書き換えを $10^6$ 回行った場合、1000個に10個の不良が発生し、通常要求される品質(1000個に1個以下の不良)を保証できないという問題がある。

【0010】解析の結果、このONO膜の品質は、多結晶シリコン膜4を酸化することにより形成される1層目の酸化膜5の膜質と非常に強い相関関係があることがわかった。

【0011】本発明の目的は、多結晶シリコン膜上に形成される絶縁膜の品質を向上させることにより、この絶縁膜の劣化を抑制し、不良率の少ない不揮発性半導体記憶装置を提供することである。

#### 【0012】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明による半導体記憶装置は、多結晶シリコン膜と、この多結晶シリコン膜上に形成された絶縁膜と、この絶縁膜上に形成された電極とから構成されるキャパシタ構造を具備し、前記多結晶シリコン膜の前記絶縁膜に接する面における粒径は前記絶縁膜に欠陥を発生させない最大限界粒径よりも小さいことを特徴とする。

【0013】また、本発明による半導体記憶装置は、半導体基板と、この半導体基板上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された浮遊ゲート電極と、この浮遊ゲート電極上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲート電極とを具備し、前記浮遊ゲート電極が多結晶シリコン膜により形成され、前記多結晶シリコン膜の前記絶縁膜に接する面における粒径は前記絶縁膜に欠陥を発生させない最大限界粒径よりも小さいことを特徴とする。

【0014】さらに、本発明の半導体記憶装置の製造方法は、半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に浮遊ゲート電極を形成する工程と、前記浮遊ゲート電極上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に制御電極を形成する工程とを具備し、前記浮遊ゲート電極は多結晶シリコン膜を2回以上堆積することにより形成され、前記多結晶シリコン層の最上層の膜厚は前記第2の絶縁膜に欠陥を発生させない最大限界粒径よりも小さいことを特徴とする。

【0015】上記手段を講じた結果、本発明による半導体記憶装置では、多結晶シリコン膜上に形成された絶縁膜に接する面における多結晶シリコン膜の粒径が、この絶縁膜に欠陥を発生させない最大限界粒径よりも小さいため、絶縁膜の品質が向上し、不良率の少ないキャパシタ構造を有する半導体記憶装置を提供することができる。

【0016】このような解決手段は、キャパシタ絶縁膜の耐圧不良がこの絶縁膜に接する面における多結晶シリコン膜の粒径に非常に強く依存する、という実験結果に基づくものである。

【0017】図21にキャパシタ絶縁膜の耐圧測定の実験データを示す。このデータは、リンを添加した第1の多結晶シリコン膜を温度1000℃の塩酸(HCl)含有の窒素( $N_2$ )と酸素( $O_2$ )の混合雰囲気中で熱処理して膜厚10nmの酸化膜を形成し、さらにこの酸化膜上に第2の多結晶シリコン膜を形成して、この第1と第2の多結晶シリコン膜間に電圧を印加してキャパシタ絶縁膜の耐圧測定を行った結果である。横軸に第1の多結晶シリコン膜の酸化膜界面における粒径、縦軸に偶発不良率を示す。偶発不良率とは、耐圧測定において5MV/cm以下で破壊したサンプルの割合として定義する。この図21より多結晶シリコン膜の絶縁膜界面における粒径が100nmより大きくなると偶発不良率が急激に増加することがわかる。すなわち、この実験によれば、絶縁膜に欠陥を発生させない最大限界粒径は100nmであり、絶縁膜に接する面における多結晶シリコン膜の粒径を100nmより小さくすることにより、絶縁膜の不良率を低減することができる。

【0018】なお、本実験では、減圧CVD法を用いて第1の多結晶シリコン膜を2回に分けて堆積することにより、第1の多結晶シリコン膜の粒径を制御している。すなわち、例えば多結晶シリコン膜を100nm堆積した後、基板を一旦装置より取り出すことにより、この多結晶シリコン膜表面に薄い酸化膜が形成される。この後、再び減圧CVD法を用いてこの自然酸化膜上に多結晶シリコン膜を例えば100nm堆積することにより、2層の多結晶シリコン膜の間に極薄の自然酸化膜が形成された状態となる。この後、リン拡散等の熱処理により多結晶シリコン膜の結晶粒が成長するが、前記自然酸化膜により結晶粒の成長が停止するために、粒径は堆積膜厚よりも大きくなることはない。このようにして、多結晶シリコン膜の最上層の膜厚を50nmから200nmまで変化させることにより、絶縁膜界面における多結晶シリコン膜の粒径を変化させる。最終的な粒径は、TEM (Transmission Electron Microscope) 等により断面形状を観察して確認された。

【0019】また、ONO絶縁膜についても同様の耐圧測定を行い、100nmの最大限界粒径を得た。このような2つの実験結果より、酸化膜界面における多結晶シ

リコン膜の粒径がこの酸化膜の品質を決定し、さらにこの第1層目の酸化膜の品質がONO膜の品質を決定することがわかる。また、ONO膜の品質は酸化膜界面における多結晶シリコン膜の粒径を100nm以下とすることにより改善できるということがわかる。

【0020】以上のように、本発明による半導体記憶装置は、上記実験結果を利用して、絶縁膜に接する面における多結晶シリコン膜の粒径を、この絶縁膜に欠陥を発生させない最大限界粒径よりも小さくすることにより、絶縁膜の品質を向上し、不良率の少ないキャパシタ構造を有する半導体記憶装置を提供するものである。

【0021】また、本発明による半導体記憶装置では、浮遊ゲート電極を構成する多結晶シリコン膜の粒径が、第2の絶縁膜に欠陥を発生させない最大限界粒径より小さいため、この第2の絶縁膜の品質を向上することにより、劣化を抑制して、不良率の少ない半導体記憶装置を提供することが可能である。

【0022】さらに、本発明による半導体記憶装置の製造方法では、多結晶シリコン膜を2回以上堆積して浮遊ゲート電極を形成する。2層の多結晶シリコン膜の間には自然酸化膜が形成されるため、多結晶シリコン膜の粒径は多結晶シリコン膜の膜厚より大きく成長することができない。このため、この多結晶シリコン膜の最上層の膜厚を、第2の絶縁膜に欠陥を発生させない最大限界粒径よりも小さくすることにより、第2の絶縁膜の品質を向上することができる。このようにして、第2の絶縁膜の劣化を抑制し、不良率の少ない半導体記憶装置の製造方法を提供することができる。

#### 【0023】

【実施の形態】以下、フラッシュEEPROMのメモリーセルを例として、本発明の実施の形態について図面を参照して説明する。図1乃至図9は本発明による第1の実施の形態、図10乃至図13は本発明による第2の実施の形態を説明する図である。各図中の(a)および(b)はそれぞれ浮遊ゲート電極のゲート長方向及びゲート幅方向におけるメモリーセルの断面図であり、それぞれ(a)は(b)におけるA-A'断面、(b)は(a)におけるB-B'断面を示している。

【0024】以下、第1の実施の形態を説明する。半導体基板1上にLOCOS法により素子分離領域2を形成する(図1)。次に、例えば温度800℃の酸素(O<sub>2</sub>)および塩化水素(HCl)の混合雰囲気中で熱処理を行い、素子領域に露出されたシリコン基板1上に10nmの第1のゲート酸化膜3を形成する(図2)。

【0025】この後、従来と異なり、減圧CVD法により最初に第1の多結晶シリコン膜4aを例えば100nm堆積し(図3)、さらに第2の多結晶シリコン膜4bを例えば100nm堆積する(図4)。このように本実施の形態では、多結晶シリコン膜を2回に分けて堆積する。

【0026】次に例えば温度850℃のPOCl<sub>3</sub>雰囲気中で25分間の熱処理を行い、第1の多結晶シリコン膜4aと第2の多結晶シリコン膜4b中にリンを添加する。通常のリソグラフィ法とエッチング技術を用いて第1の多結晶シリコン膜4aと第2の多結晶シリコン膜4bを所望のパターンに加工する(図5)。

【0027】この後、例えば温度1000℃の窒素(N<sub>2</sub>)と酸素(O<sub>2</sub>)の混合雰囲気中で熱処理を行い、加工された第2の多結晶シリコン膜4b上に17nmの酸化膜5を形成し、続けて減圧CVD法により例えば15nmの窒化シリコン膜6を堆積し、さらに例えば950℃の燃焼酸化法により窒化シリコン膜6を酸化してシリコン酸化膜7を形成する。このようにして、ONO(Oxide-Nitride-Oxide)構造の第2のゲート絶縁膜11を形成する(図6)。

【0028】次に第3の多結晶シリコン膜8を形成し、例えば900℃のPOCl<sub>3</sub>雰囲気中で熱処理を行い、リンを第3の多結晶シリコン膜8中に添加する(図7)。通常のリソグラフィ法とエッチング技術を用いて第3の多結晶シリコン膜8と第2のゲート絶縁膜11と第2の多結晶シリコン膜4bと第1の多結晶シリコン膜4aを加工する(図8)。

【0029】温度1000℃の窒素(N<sub>2</sub>)と酸素(O<sub>2</sub>)の混合雰囲気中で熱処理を行い、後酸化膜9を形成した後、イオン注入法によりリン(P)とヒ素(As)を半導体基板1中に注入してソース及びドレイン領域を形成し、さらに温度950℃の酸素雰囲気中で熱処理を行うことにより後酸化膜9を厚くして、フラッシュメモリーが完成する(図9)。

【0030】上記実施の形態では、第1の多結晶シリコン膜4aと第2の多結晶シリコン膜4bをそれぞれ100nmづつ2回に分けて堆積したが、最後に堆積される多結晶シリコン膜の膜厚が100nm以下であり、さらに浮遊ゲートを構成する合計の多結晶シリコン膜厚が所望の膜厚(上記実施の形態では200nm)であれば、堆積する回数、および膜厚は本実施の形態に限らない。

【0031】また、上記実施の形態における第1の多結晶シリコン膜4aと第2の多結晶シリコン膜4bの堆積の間に、基板1を堆積装置より取り出すことにより、第1の多結晶シリコン膜4a上に薄い自然酸化膜を形成することができるが、第1の多結晶シリコン膜4aを堆積した後、基板1を堆積装置内に収納した状態で、酸素雰囲気を装置内に送り込むことにより薄い酸化膜を形成し、再び第2の多結晶シリコン膜4bを堆積することも可能である。このようにすれば、基板1の堆積装置内への挿入、排出というような作業を省くことができるため生産効率が向上する。

【0032】また、上記実施の形態では、不純物の添加を行わずに第1の多結晶シリコン膜4aと第2の多結晶シリコン膜4bを堆積し、その後のリン拡散により第1

及び第2の多結晶シリコン膜にリンを添加しているが、多結晶シリコン膜への不純物の添加方法は他の方法を用いても構わない。

【0033】例えば、第1の多結晶シリコン膜を100nm堆積後、850℃の $\text{POCl}_3$ 雰囲気中で10分間の熱処理を行い、この後、第2の多結晶シリコン膜を100nm堆積し、再び850℃の $\text{POCl}_3$ 雰囲気中で10分間の熱処理を行うことも可能である。

【0034】さらに、リン拡散ではなくをイオン注入方法を用いてリンを第1および第2の多結晶シリコン膜に添加することも可能である。例えば、第1の多結晶シリコン膜4aを堆積した後、リンのイオン注入を行い、さらに第2の多結晶シリコン膜4bを堆積後、再びイオン注入を行うことも可能である。

【0035】また、減圧CVD法を用いて多結晶シリコン膜を堆積する時にリンの添加を同時に行っても構わない。上記のような多結晶シリコンへ不純物を添加する方法は、第1の多結晶シリコン膜4a、第2の多結晶シリコン膜4bについてそれぞれ異なる方法を組み合わせることも可能である。

【0036】また、上記実施の形態においては、多結晶シリコン膜へ添加する不純物としてリンを例に説明したが、例えばヒ素(A s)やボロン(B)など多結晶シリコン膜に導電性を持たせる不純物であれば、どのような物質を用いても構わない。

【0037】このように、上記第1の実施の形態によれば、浮遊ゲートを構成する多結晶シリコン膜を、第1の多結晶シリコン膜4aを堆積した後第2の多結晶シリコン膜4bを堆積することにより形成する。この時、第1および第2の多結晶シリコン膜の間には2nm以下の極薄の自然酸化膜が形成されたため、その後の熱処理において多結晶シリコンの粒径が成長することを抑制することができる。すなわち、この第2の多結晶シリコン膜4bの膜厚を100nm以下とすることにより、この第2の多結晶シリコン膜4bの粒径を100nm以下にすることができる。このようにして第2の多結晶シリコン膜4bを酸化して形成される酸化膜5の膜質を改善ことができ、この酸化膜5および窒化膜6、酸化膜7により構成されるONOトンネル酸化膜11の膜質を改善することが可能となる。

【0038】次に第2の実施の形態を図10から図13を用いて説明する。従来と同様に、半導体基板上の素子領域に第1のゲート酸化膜3を形成した後、減圧CVD法により200nmの第1の多結晶シリコン膜4を堆積する(図10)。

【0039】ここで、従来と異なり、ヒ素を例えば $3 \times 10^{15} \text{ cm}^{-2}$ のドーザ量で第1の多結晶シリコン膜4にイオン注入を行い(図11)、さらにリンのイオン注入を例えば $3 \times 10^{15} \text{ cm}^{-2}$ のドーザ量で行なう(図12)。この時、ヒ素の濃度のピークが第1の多結晶シリ

コン膜4の表面より50nm程度の深さとなり、リンの濃度のピークはヒ素よりも深く、第1のゲート絶縁膜側に分布中心を有するようにイオン注入の加速電圧を適宜設定する。

【0040】次に、通常のリソグラフィ法とエッチング技術を用いて、第1の多結晶シリコン膜4を加工し、以降は第1の実施の形態と同様に、ONO絶縁膜11、制御ゲート電極を構成する多結晶シリコン膜8、ソースおよびドレイン拡散層、後酸化膜9等を形成し、フラッシュメモリーが完成する(図13)。

【0041】上記第2の実施の形態では、リン拡散ではなく、リンとヒ素のイオン注入により、浮遊ゲート電極となる第1の多結晶シリコン膜4への不純物の添加を行なう。後の熱工程により、これらの不純物は拡散し、活性化するが、同時に多結晶シリコン膜4の結晶粒が成長する。この時に、ヒ素の拡散係数がリンの拡散係数よりも小さいために、ヒ素の濃度が高い領域における多結晶シリコン膜4の粒成長はリン濃度の高い領域よりも遅い。実験によれば、ヒ素の濃度が高い領域における多結晶シリコン膜4の粒径はリン濃度の高い領域に比べて、約3割小さいことが観察された。このようにして、ヒ素をその濃度のピークが多結晶シリコン膜4の表面近傍に位置するようにイオン注入を行なうことにより、多結晶シリコン膜4の表面近傍の粒径を小さくすることができる。

【0042】このピークの深さを最大でも酸化膜5に欠陥を発生させない最大限界粒径(本実施の形態においては100nm)よりも浅くすることにより、さらに好ましくは、この最大限界粒径の半分、すなわち50nm未満とすることにより、酸化膜5界面における多結晶シリコン膜4の粒径を酸化膜5に欠陥を発生させない最大限界粒径、すなわち100nm、未満とすることができる。このような濃度分布を有するように、イオン注入の加速電圧を適宜設定する必要がある。

【0043】また、多結晶シリコン膜4のドナー濃度を十分に保ち、その空乏化を防止するために、さらにリンのイオン注入を行なう。この濃度のピーク位置が、多結晶シリコン膜4表面から最大限界粒径、すなわち本実施の形態においては100nm、よりも深くなるように加速電圧を適宜設定する。ドナー濃度を十分に保つためのみであれば、このイオン注入はヒ素を用いても構わない。しかし、上記実施の形態のリンのように、ヒ素と異種の元素をヒ素よりも深くイオン注入することにより、後の熱処理時の結晶粒成長において、ヒ素を含む結晶粒とリンを含む結晶粒の間に粒界を存在させて、結晶粒の成長を抑制することができる。

【0044】このように、同じ導電性を有し、拡散係数が異なる不純物を用い、拡散係数の小さい元素を浅く、拡散係数の大きい元素を深くイオン注入することにより、酸化膜5界面における多結晶シリコン膜4の粒径を

10

20

30

40

50

小さくすることができる。。

【0045】なお、上記第2の実施の形態ではヒ素のイオン注入を行った後にリンをイオン注入しているが、この順序は逆にしても構わない。さらに、上記実施の形態では2回のイオン注入を行なったが、多結晶シリコン膜4の膜厚が厚い場合には、その膜厚に応じて3回以上のイオン注入を行うことも可能である。この場合、拡散係数の異なる2種類以上の不純物を用い、拡散係数の最も小さい不純物の濃度のピーク位置が酸化膜5に欠陥を発生させない最大限界粒径、好ましくはその半分、よりも

【0046】上記2つの実施の形態において、多結晶シリコン膜4に含まれる不純物の濃度が $1 \times 10^{21} \text{cm}^{-3}$ を越えると、過剰な不純物が第1のゲート絶縁膜3または第2のゲート絶縁膜（特に酸化膜5）中に拡散して、これらの絶縁膜の信頼性を劣化させるという問題が発生するので、不純物の濃度はこれ以下にする必要がある。また、多結晶シリコン膜4に含まれる不純物の濃度が $1 \times 10^{20} \text{cm}^{-3}$ 未満の場合には、前述のように制御ゲート電極に電圧を印加した時に、浮遊ゲート電極が空乏化して、この印加電圧により基板のキャリア濃度を十分に制御できなくなってしまう。このため、不純物の濃度はこれ以上にするのが望ましい。

【0047】また、上記2つの実施の形態は、不揮発性半導体記憶装置について述べたが、本発明は上記実施の形態に限らず、多結晶シリコン膜と、その上に形成された絶縁膜と、さらにその上に形成された電極とから構成されるキャパシタ構造を有するすべての半導体記憶装置

【0048】さらに、上記2つの実施の形態において、第2のゲート絶縁膜11はONO膜を例に述べたが、前述したように、多結晶シリコン膜の絶縁膜界面における粒径と絶縁膜の品質との関係は、1層の酸化膜においても観測されているので、酸化膜1層の絶縁膜を有するキャパシタ構造についても適用可能である。また、ONO膜のみならず、1層目に酸化膜を使用した様々な絶縁膜の積層構造を有する絶縁膜についても適用することができる。

【0049】

【発明の効果】以上のように、本発明による半導体記憶装置では、粒径の小さい多結晶シリコン膜を用いて、多結晶シリコン膜上に形成される絶縁膜の品質を向上することにより、この絶縁膜の劣化を抑制し、不良率を低減することができる。

【0050】さらに、本発明による半導体記憶装置の製造方法によれば、絶縁膜との界面における多結晶シリコン膜の粒径を小さくすることにより、多結晶シリコン膜上に形成される絶縁膜の品質を向上して、この絶縁膜の

劣化を抑制し、不良率の低い半導体記憶装置を製造することが可能である。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

【図2】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

【図3】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

10 【図4】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

【図5】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

【図6】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

【図7】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

【図8】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

20 【図9】本発明の不揮発性半導体記憶装置による第1の実施の形態の説明図。

【図10】本発明の不揮発性半導体記憶装置による第2の実施の形態の説明図。

【図11】本発明の不揮発性半導体記憶装置による第2の実施の形態の説明図。

【図12】本発明の不揮発性半導体記憶装置による第2の実施の形態の説明図。

【図13】本発明の不揮発性半導体記憶装置による第2の実施の形態の説明図。

30 【図14】従来の不揮発性半導体記憶装置の製造工程を示す図。

【図15】従来の不揮発性半導体記憶装置の製造工程を示す図。

【図16】従来の不揮発性半導体記憶装置の製造工程を示す図。

【図17】従来の不揮発性半導体記憶装置の製造工程を示す図。

【図18】従来の不揮発性半導体記憶装置の製造工程を示す図。

40 【図19】従来の不揮発性半導体記憶装置の製造工程を示す図。

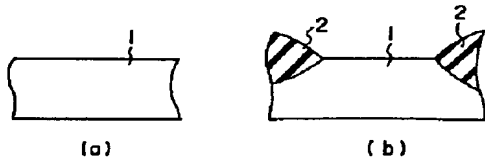
【図20】従来の不揮発性半導体記憶装置の製造工程を示す図。

【図21】本発明の技術的根拠を示す実験データを表す図。

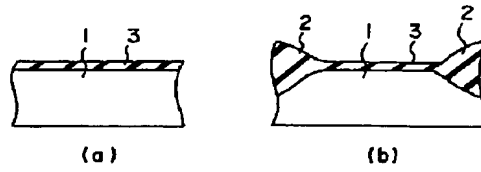
【符号の説明】

1…半導体基板、2…フィールド酸化膜、3…第1のゲート酸化膜、4、4a、4b…多結晶シリコン膜、5、7…酸化膜、6…窒化膜、8…多結晶シリコン膜、9…後酸化膜、11…第2のゲート絶縁膜

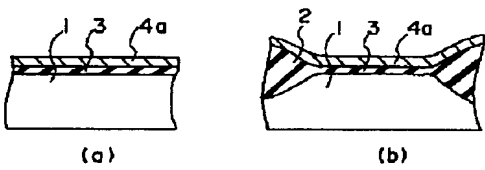
【図1】



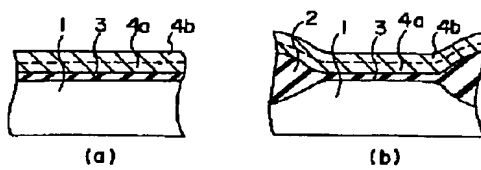
【図2】



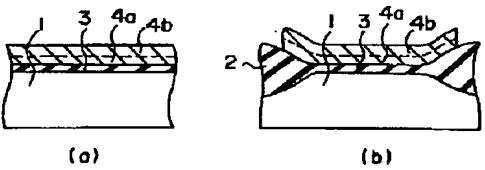
【図3】



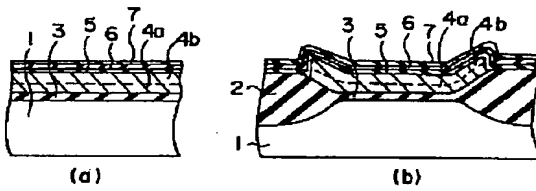
【図4】



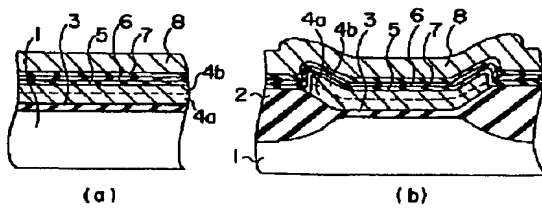
【図5】



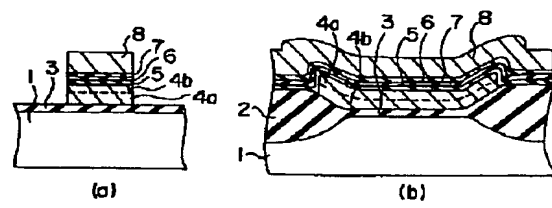
【図6】



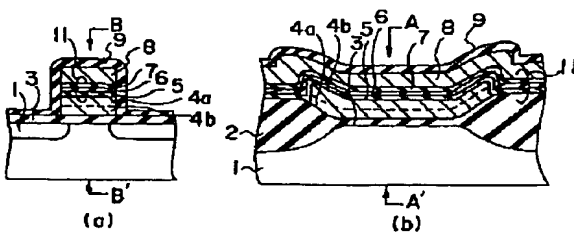
【図7】



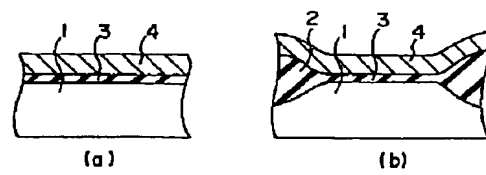
【図8】



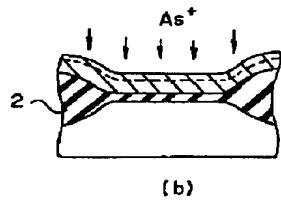
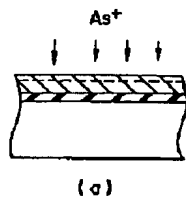
【図9】



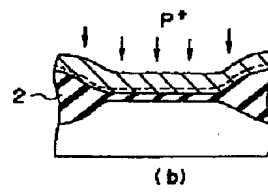
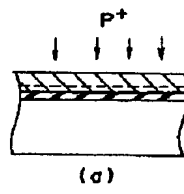
【図10】



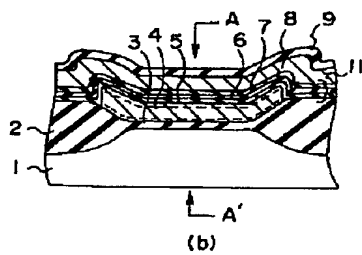
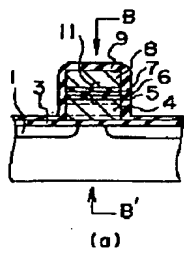
【図11】



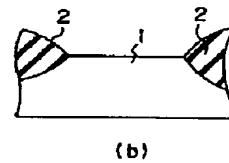
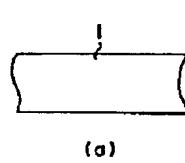
【図12】



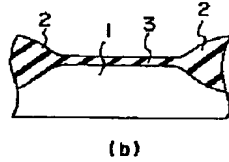
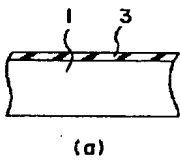
【図13】



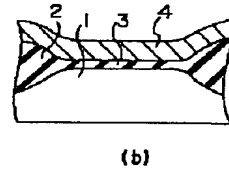
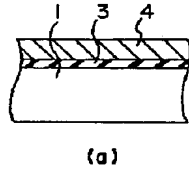
【図14】



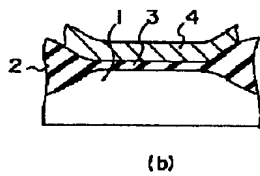
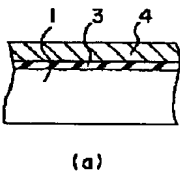
【図15】



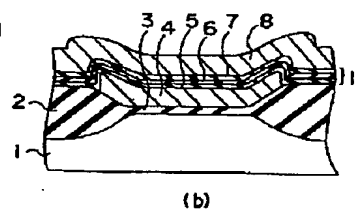
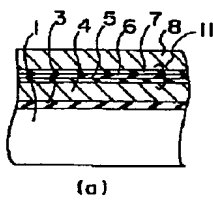
【図16】



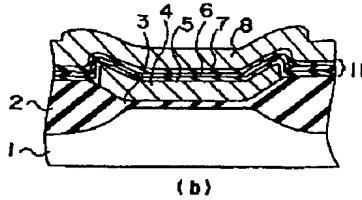
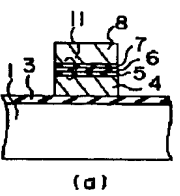
【図17】



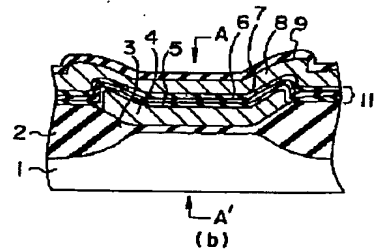
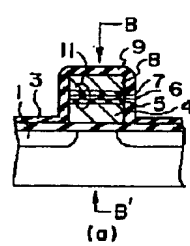
【図18】



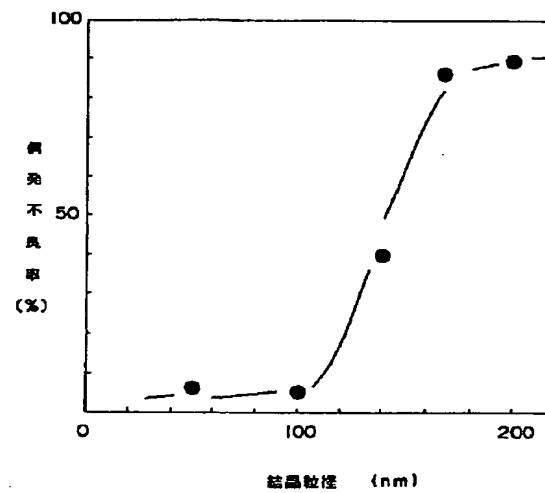
【図19】



【図20】



【図21】



フロントページの続き

(72)発明者 小林 英行  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内